

26.12.03

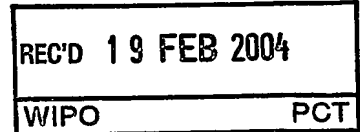
日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2002年12月27日

出 願 番 号  
Application Number: 特願2002-381104  
[ST. 10/C]: [JP2002-381104]



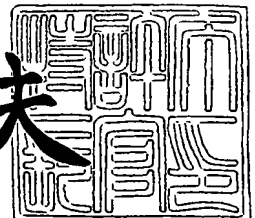
出 願 人  
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 2月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 2034740071  
【あて先】 特許庁長官殿  
【国際特許分類】 H04L 25/49  
H04L 25/03

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 水口 裕二

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 安井 伸彦

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 勝田 昇

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 堺 貴久

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 ▲たか▼平 豊

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
会社内

【氏名】 河田 浩嗣

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 梅井 俊智

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 秋田 貴志

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 吉河 武文

## 【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 道正 志郎

## 【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

## 【代理人】

【識別番号】 100098291

【弁理士】

【氏名又は名称】 小笠原 史朗

## 【手数料の表示】

【予納台帳番号】 035367

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9405386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シンボル位置検出装置およびシンボル位置検出方法

【特許請求の範囲】

【請求項 1】 所定の周波数を持った第 1 のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する装置であって、

前記第 1 のクロック信号の周波数に 4 の倍数を掛けた大きさの周波数を持った第 2 のクロック信号を作成する高周波クロック信号作成手段と、

前記高周波クロック信号作成手段が作成した第 2 のクロック信号のタイミングに基づいて、前記データ信号のデータの値を取得するデータ値取得手段と、

前記データ値取得手段が取得したデータの値から前記第 1 のクロック信号の成分を抽出するクロック成分抽出手段と、

前記クロック成分抽出手段が抽出した前記第 1 のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出するゼロクロス検出手段と、

前記ゼロクロス検出手段が検出した前記ゼロクロス点から、前記第 2 のクロック信号における所定クロック分に相当する時間が経過した時を、前記データ信号のシンボル位置として検出するシンボル位置検出手段とを備える、シンボル位置検出装置。

【請求項 2】 前記データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であることを特徴とする、請求項 1 に記載のシンボル位置検出装置。

【請求項 3】 前記ゼロクロス検出手段は、前記クロック成分抽出手段が抽出した前記第 1 のクロック成分の正負が入れ替わるタイミングから最も近いタイミングに位置するクロックを、前記ゼロクロス点とみなして検出することを特徴とする、請求項 1 に記載のシンボル位置検出装置。

【請求項 4】 前記ゼロクロス検出手段は、前記クロック成分抽出手段が抽出した前記第 1 のクロック成分の正負が入れ替わるタイミングの直前および直後に存在するクロックにおける前記データの値の絶対値を比較して、前記データの値の絶対値の小さい方のクロックを、前記データの値の正負が入れ替わるタイミングから最も近いタイミングに位置するクロックと決定することを特徴とする、

請求項 3 に記載のシンボル位置検出装置。

【請求項 5】 前記シンボル位置検出手段が前記データ信号のシンボルの位置と決定するクロックは、前記ゼロクロス点に対して、前記 4 の倍数を 4 分の 1 倍した数のクロック経過後のタイミングであることを特徴とする、請求項 1 に記載のシンボル位置検出装置。

【請求項 6】 前記シンボル位置検出手段は、前記シンボルの位置を検出したタイミングで、第 3 のクロック信号を出力することを特徴とする、請求項 1 に記載のシンボル位置検出装置。

【請求項 7】 前記ゼロクロス検出手段は、前記ゼロクロス点から、前記所定クロック分に相当する時間が経過した時間を遅延させることにより、前記第 3 のクロック信号を出力することを特徴とする、請求項 6 に記載のシンボル位置検出装置。

【請求項 8】 前記シンボル位置検出手段が出力した前記第 3 のクロック信号のタイミングに基づいて、前記データ信号のシンボルにおけるデータの値を判定する判定手段をさらに備える、請求項 7 に記載のシンボル位置検出装置。

【請求項 9】 ジッタを含まない第 4 のクロック信号を作成する出力用クロック信号作成手段と、

前記出力用クロック信号作成手段が作成した前記第 4 のクロック信号に基づいて、前記判定手段が判定したデータの値を外部に出力する出力手段とをさらに備える、請求項 8 に記載のシンボル位置検出装置。

【請求項 10】 所定の周波数を持った第 1 のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する方法であって、

前記第 1 のクロック信号の周波数に 4 の倍数を掛けた大きさの周波数を持った第 2 のクロック信号を作成する高周波クロック信号作成ステップと、

前記高周波クロック信号作成ステップで作成した第 2 のクロック信号のタイミングに基づいて、前記データ信号のデータの値を取得するデータ値取得ステップと、

前記データ値取得ステップで取得したデータの値か前記第 1 のクロック信号の成分を抽出するクロック成分抽出ステップと、

前記クロック成分抽出手段が抽出した前記第1のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出するゼロクロス検出ステップと

、  
前記ゼロクロス検出ステップで検出した前記ゼロクロス点から、前記第2のクロック信号における所定クロック分に相当する時間が経過した時を、前記データ信号のシンボル位置として検出するシンボル位置検出ステップとを備える、シンボル位置検出方法。

【請求項11】 前記データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であることを特徴とする、請求項10に記載のシンボル位置検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シンボル位置検出装置に関する発明であって、より特定的には、所定の周波数を持ったクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出するシンボル位置検出装置に関する発明である。

【0002】

【従来の技術】

従来のデータ受信装置に、データ送信装置から送信されてきた電気信号や光信号を受信して、クロック信号を再生してデータ送信装置との同期を取りながら、当該電気信号や光信号の信号レベルの判定等を行うデータ受信装置が存在する。このようなデータ受信装置は、一般的には、データ送信装置と周波数および位相の同期を取るために、送信されてきたクロック信号の周波数および位相のずれを検出し、当該ずれに基づいて、自機の発振部が発振するクロック信号の周波数および位相を制御する（例えば、特許文献1）。

【0003】

図17は、上記一般的なデータ受信装置の構成を示したブロック図である。図17に示されるデータ受信装置は、CATV（Cable Television）のデータ受信機であり、チューナ1005、ダウンコンバータ1010、A

DC (アナログデジタルコンバータ) 1015、検波器1020、デジタルフィルタ1025、判定部1030、デスクランブラ1035およびクロック再生部1040を備える。また、クロック再生部1040は、制御部1045および発振部1050を含む。

#### 【0004】

CATVのデータにはスクランブル処理が施されており、受信されるデータシンボルは全ての信号レベルが略平均的に含まれるものである。CATVの伝送方式としては、16QAM (Quadrature Amplitude Modulation) や64QAM等の直交振幅変調が用いられ、伝送路には通常同軸ケーブルが使用される。

#### 【0005】

それでは、以下に、図17に示される従来のデータ受信装置の動作について説明する。

#### 【0006】

同軸ケーブルを介して受信されるQAM変調信号は、チューナ1005とダウンコンバータ1010を介して周波数変換され、1チャンネル分のQAM変調信号がADC1015に入力される。この1チャンネル分のQAM変調信号は、ADC1015でデジタル信号に変換され、検波部1020でI信号とQ信号とが分離復調される。そして、当該QAM信号は、デジタルフィルタ1025でノイズ除去された後、判定部1030でデータシンボルが復号され、デスクランブラ1035でデスクランブル処理が行われ、データが得られる。また、クロック再生部1040の制御部1045は、クロック信号のI信号とQ信号とから、当該クロック信号と発振部1050が発振するクロック信号との周波数および位相のずれを検出し、発振部1050が発振するクロック信号の周波数および位相を制御する。これにより、データ受信装置1000の各構成部は、データ送信装置とクロック同期を取りながら動作することができる。

#### 【0007】

#### 【特許文献1】

国際公開番号WO-02/30078号公報



## 【0008】

## 【発明が解決しようとする課題】

ここで、上記従来の発振部1050には、VCO (Voltage Controlled Oscillator) がよく用いられる。当該VCOは、制御電圧によって発振周波数を変化させることができる発信器であり、安価で入手可能であるというメリットを有する。しかしながら、上記VCOは、制御電圧の変化量に対して、発振周波数の変化量が非常に大きく、その制御が非常に困難であるという問題を有する。

## 【0009】

上記問題に対して、上記発振部1050に、VCXO (Voltage Controlled Crystal Oscillators) が用いられることがある。当該VCXOは、制御電圧の変化量に対して、発振周波数の変化量が小さいため、その制御が容易であるというメリットを有する。しかしながら、当該VCXOは、VCOに比して高価であるという問題を有する。

## 【0010】

そこで、本発明の目的は、容易にデータ送信装置とクロック同期を取ることができると共に、安価に製造可能なデータ受信装置に含まれるシンボル位置検出装置を提供することである。

## 【0011】

## 【課題を解決するための手段および発明の効果】

第1の発明は、所定の周波数を持った第1のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する装置であって、

第1のクロック信号の周波数に4の倍数を掛けた大きさの周波数を持った第2のクロック信号を作成する高周波クロック信号作成手段と、

高周波クロック信号作成手段が作成した第2のクロック信号のタイミングに基づいて、データ信号のデータの値を取得するデータ値取得手段と、

データ値取得手段が取得したデータの値から第1のクロック信号の成分を抽出するクロック成分抽出手段と、

クロック成分抽出手段が抽出した第1のクロック信号の成分の正負が入れ替わ

るタイミングをゼロクロス点として検出するゼロクロス検出手段と、

ゼロクロス検出手段が検出したゼロクロス点から、第2のクロック信号における所定クロック分に相当する時間が経過した時を、データ信号のシンボル位置として検出するシンボル位置検出手段とを備える。

#### 【0012】

上記第1の発明によれば、高周波クロック信号作成手段が発生する第2のクロック信号の周波数を細かくコントロールすることなく、シンボル位置を検出することが可能となる。さらに、上記第1の発明によれば、高周波クロック信号作成手段の一部に安価なVCOを適用することができるので、当該シンボル位置検出装置を安価に作成することが可能となる。

#### 【0013】

第2の発明は、第1の発明に従属する発明であって、データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であることを特徴とする。

#### 【0014】

上記第2の発明によれば、データ信号は、第1のクロック信号の成分を確実に含んだ信号となるので、クロック成分抽出手段において、第1のクロック信号の成分を容易に抽出することが可能となる。

#### 【0015】

第3の発明は、第1の発明において、ゼロクロス検出手段は、クロック成分抽出手段が抽出した第1のクロック成分の正負が入れ替わるタイミングから最も近いタイミングに位置するクロックを、ゼロクロス点とみなして検出することを特徴とする。

#### 【0016】

上記第3の発明によれば、値がちょうどゼロとなるデータのクロックが存在しない場合であっても、ゼロクロス点に該当するクロックを検出することが可能となる。

#### 【0017】

第4の発明は、第3の発明において、ゼロクロス検出手段は、クロック成分抽出手段が抽出した第1のクロック信号の成分の正負が入れ替わるタイミングの直

前および直後に存在するクロックにおけるデータの値の絶対値を比較して、データの値の絶対値の小さい方のクロックを、データの値の正負が入れ替わるタイミングから最も近いタイミングに位置するクロックと決定することを特徴とする。

#### 【0018】

上記第4の発明によれば、データの正負が入れ替わるタイミングの直前と直後に存在するクロックのデータの値の絶対値を比較するという簡単な方法により、ゼロクロス点とみなされるクロックが求められるので、当該ゼロクロス検出手段にかかる負担を軽減することができると共に、当該ゼロクロス検出手段の構成を簡単なものにできる。

#### 【0019】

第5の発明は、第1の発明において、シンボル位置検出手段がデータ信号のシンボルの位置と決定するクロックは、ゼロクロス点に対して、4の倍数を4分の1倍した数のクロック経過後のタイミングであることを特徴とする。

#### 【0020】

上記第5の発明によれば、第1のクロック信号の4の倍数倍の周波数を持った第2のクロック信号でサンプリングを行っているので、シンボル点は、ゼロクロス点から4の倍数に4分の1を掛けたクロック分だけ時間が経過した点になる。これにより、シンボル点を簡単に特定することが可能となる。

#### 【0021】

第6の発明は、第1の発明において、シンボル位置検出手段は、シンボルの位置を検出したタイミングで、第3のクロック信号を出力することを特徴とする。

#### 【0022】

上記第6の発明によれば、シンボル位置を検出したのタイミングで第3のクロック信号が出力されるので、シンボル位置検出装置や当該シンボル位置検出装置に接続された装置は、当該第3のクロック信号を利用することが可能となる。

#### 【0023】

第7の発明は、第6の発明において、ゼロクロス検出手段は、ゼロクロス点から、所定クロック分に相当する時間が経過した時間を遅延させることにより、第3のクロック信号を出力することを特徴とする。

## 【0024】

上記第7の発明によれば、第3のクロック信号を遅延処理によって作成しているので、再度信号を作成する場合に比べて、簡単に第3のクロック信号を作成することができる。

## 【0025】

第8の発明は、第7の発明において、シンボル位置検出手段が出力した第3のクロック信号のタイミングに基づいて、データ信号のシンボルにおけるデータの値を判定する判定手段をさらに備える。

## 【0026】

上記第8の発明によれば、第3のクロック信号は、シンボル位置に合わせたクロック信号であるので、判定手段は、当該第3のクロックに基づいて、データの値を検出することが可能となる。

## 【0027】

第9の発明は、第8の発明において、ジッタを含まない第4のクロック信号を作成する出力用クロック信号作成手段と、

出力用クロック信号作成手段が作成した第4のクロック信号に基づいて、判定手段が判定したデータの値を外部に出力する出力手段とをさらに備える。

## 【0028】

上記第9の発明によれば、ジッタを含まない第4のクロック信号に基づいて、データの値が当該シンボル位置検出装置外へと出力されるので、当該シンボル位置検出装置に接続された機器は、エラーの少ないデータを取得することが可能となる。

## 【0029】

第10の発明は、所定の周波数を持った第1のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する方法であって、

第1のクロック信号の周波数に4の倍数を掛けた大きさの周波数を持った第2のクロック信号を作成する高周波クロック信号作成ステップと、

高周波クロック信号作成ステップで作成した第2のクロック信号のタイミングに基づいて、データ信号のデータの値を取得するデータ値取得ステップと、

データ値取得ステップで取得したデータの値が第1のクロック信号の成分を抽出するクロック成分抽出ステップと、

クロック成分抽出手段が抽出した第1のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出するゼロクロス検出ステップと、

ゼロクロス検出ステップで検出したゼロクロス点から、第2のクロック信号における所定クロック分に相当する時間が経過した時を、データ信号のシンボル位置として検出するシンボル位置検出ステップとを備える。

#### 【0030】

上記第10の発明によれば、高周波クロック信号作成ステップで発生する第2のクロック信号の周波数を細かくコントロールすることなく、シンボル位置を検出することが可能となる。さらに、上記第9の発明によれば、高周波クロック信号作成ステップで用いられる発信器の一部に安価なVCOを適用することができるので、当該シンボル位置検出方法を安価に実現することが可能となる。

#### 【0031】

第11の発明は、第10の発明に従属する発明であって、データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であることを特徴とする。

#### 【0032】

上記第11の発明によれば、データ信号は、第1のクロック信号の成分を確実に含んだ信号となるので、クロック成分抽出手段において、第1のクロック信号の成分を容易に抽出することが可能となる。

#### 【0033】

##### 【発明の実施の形態】

図1および2を参照して、本発明の一実施形態に係るシンボル位置検出装置を含んだデータ受信装置およびデータ伝送システムについて説明する。なお、図1は、本実施形態に係るデータ伝送システムのデータ送信装置の構成を示すブロック図である。また、図2は、本実施形態に係るデータ伝送システムのデータ受信装置の構成を示すブロック図である。

#### 【0034】

図1に示されるデータ送信装置10は、S/P変換部15、マッピング部20

、デジタルフィルタ 25、DAC 30、LPF（ローパスフィルタ）35および差動ドライバ 40を備える。当該データ送信装置 10は、接続機器（例えば、オーディオ機器、ナビゲーション機器、あるいは情報端末機器）に接続されており、当該接続機器から出力されるデータに所定の処理を施して、電気信号として伝送路に出力する。データ受信装置 100は、差動レシーバ 105、ADC 110、発振部 115、通倍PLL 120、クロック再生部 125、デジタルフィルタ 130、判定部 135、P/S変換部 140、FIFO 145および受信側PLL 150を備える。当該データ受信装置 100は、接続機器（例えば、オーディオ機器、ナビゲーション機器、あるいは情報端末機器）に接続されており、データ送信装置 10が伝送路に出力した電気信号を受信して、当該電気信号から得られるデジタルデータを接続機器に出力する。また、伝送路にはツイストペア線や同軸ケーブルのような安価なケーブルが用いられ、データ送信装置とデータ受信装置とは、互いに電気通信を行う。

#### 【0035】

ここで、上記データ伝送システムで用いられる情報系の通信プロトコルについて説明する。当該データ伝送システムで用いられる情報系の通信プロトコルとしては、例えば、Media Oriented Systems Transport（以下、MOSTと記載する）がある。通信プロトコルがMOSTの場合には、図1のデータ送信装置および図2のデータ受信装置は、それぞれ国際公開番号WO-02/30079号公報の第1図に示されるデータ伝送装置の送信部および受信部として用いられる。そして、国際公開番号WO-02/30079号公報の第2図に示されるように、複数台のデータ伝送装置がリング状に接続されてリング型ネットワークを構成する。MOSTを通信プロトコルとして伝送されるデータは、フレームを基本単位として伝送され、各データ伝送装置1の間を次々にフレームが一方向に伝送される。以下、本実施形態に係るデータ伝送システムの通信プロトコルは、MOSTであるとして説明を続ける。

#### 【0036】

それでは、以下に、本実施形態に係るデータ送信装置 10について詳しく説明する。当該データ送信装置 10は、典型的にはLSIで構成され、入力されてく

る 25MHz および 100MHz のクロックに基づいて、接続機器から出力されるデジタルデータを電気信号に変換して、伝送路を介して、データ受信装置 100 に出力する。

#### 【0037】

S/P 変換部 15 は、多値化伝送を行うために、接続機器から出力されるシリアルデジタルデータをパラレルに変換する。通信プロトコルが MOST の場合、コントローラ 2 から 50Mbps のシリアルデータが出力されるので、S/P 変換部 15 は、シリアルで入力されたデータを 2 ビット毎のパラレルデータに変換する。マッピング部 20 は、S/P 変換部 15 で変換された 2 ビット毎のパラレルデータを、上記 100MHz のクロックに基づいて 8 値のシンボルのいずれかにマッピングを行う。このマッピングは、データ受信装置 100 でクロック再生を行うために、2 ビット毎のパラレルデータを 8 値のシンボルのうち上位 4 シンボルと下位 4 シンボルとに交互に割り当てられる。また、送信および受信との間の直流成分の変動や差の影響を除外するために、前値との差分によってマッピングが行われる。

#### 【0038】

デジタルフィルタ 25 は、送信する電気信号の帯域制限および符号間干渉を抑えるための波形整形フィルタである。例えば、シンボルレートの 4 倍のサンプリング周波数で、ロールオフ率 100%、タップ数 33 タップ、およびビット数 1②ビットの FIR フィルタを使用する。

#### 【0039】

DAC 30 は、デジタルフィルタ 25 で帯域制限された信号をアナログ信号に変換する。LPF 35 は、DAC 30 の出力信号から信号帯域より高域の周波数を減衰させる。差動ドライバ 40 は、LPF 35 から出力されるアナログ信号の強度を増幅して差動信号に変換して伝送路に送出する。差動ドライバ 40 は、伝送路が有する 2 本 1 組の導線に対して、送出する電気信号を伝送路の一方側（プラス側）導線に送信し、当該電気信号と正負反対の信号を伝送路の他方側（マイナス側）に送信する。これによって、伝送路には、プラス側とマイナス側との電気信号が 1 つのペアとして伝送するため、お互いの電気信号の変化をお互いの電

気信号が打ち消しあい、伝送路からの放射ノイズおよび外部からの電氣的影響を軽減することができる。

#### 【0040】

ここで、マッピング部20が行うマッピングについて図3～5を参照しながら詳しく説明する。図3は、パラレルデータと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表である。図4および5は、マッピング部20でマッピングされたデジタルデータがDAC30でアナログ信号に変換された波形を示した図である。

#### 【0041】

まず、マッピング部20には、「00」や「01」等といった2ビットのパラレルデータが入力される。ここで、マッピング部20は、取得したデータを図3に示される表にしたがって、+7、+5、+3、+1、-1、-3、-5、-7の8値のいずれかにマッピングする。ここで、マッピングの方法について、具体例を挙げて説明する。

#### 【0042】

例えば、前のシンボル値 $B(k-1)$ が-1であって、マッピング部20に「00」のパラレルデータが入力してきた場合には、今回のシンボル値 $B(k)$ は、+1となる。一方、シンボル値 $B(k-1)$ が+5であって、マッピング部20に「01」のパラレルデータが入力してきた場合には、今回のシンボル値 $B(k)$ は、-1となる。すなわち、本実施形態に係るマッピングは、前のシンボル値 $B(k-1)$ と入力してきたパラレルデータとに基づいて、今回のシンボル値 $B(k)$ 求められる。このような方法によって、シンボル値 $B(k)$ が正負交互にマッピングされる。そして、求められたシンボル値 $B(k)$ は、デジタルフィルタ25を介して、DAC30に入力される。

#### 【0043】

DAC30は、出力されてくるシンボル値 $B(k)$ に基づいて、図4あるいは図5に示されるようなアナログ信号を作成する。ここで、図4および図5について詳しく説明する。



## 【0044】

図4は、前のシンボル値 $B(k-1)$ が+7、+5、+3または+1である場合において、「00」、「01」、「11」、「01」の各パラレルデータが入力されたときのシンボル値 $B(k)$ を示した図である。図4は、例えば、前のシンボル値 $B(k-1)$ が+7である場合において、「00」のシリアルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が-1となるようなアナログ信号が作成されることを示している。

## 【0045】

一方、図5は、前のシンボル値 $B(k-1)$ が-7、-5、-3または-1である場合において、「00」、「01」、「11」、「01」の各パラレルデータが入力されたときのシンボル値 $B(k)$ を示した図である。図5は、例えば、前のシンボル値 $B(k-1)$ が-7である場合において、「00」のシリアルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が+1となるようなアナログ信号が作成されることを示している。

## 【0046】

以上のことを踏まえて、一例として、最初のシンボル値 $B(n)$ が+1で、「00」、「00」、「11」、「01」の順にパラレルデータが順番に入力された場合に作成されるアナログ信号を示す。図6は、上述した場合において、差動ドライバ40から出力されるアナログ信号の様子を示した図である。

## 【0047】

まず、最初のシンボル値 $B(n)$ は、+1であるので、+1の位置にマッピングされる。次に、パラレルデータ「00」が入力されてくると、図4の一番右の波に基づいて、-7にマッピングされる。次に、パラレルデータ「00」が入力されてくると、図5の一番左の波に基づいて、+1にマッピングされる。次に、パラレルデータ「11」が入力されてくると、図4の一番右の波に基づいて、-3にマッピングされる。次に、パラレルデータ「01」が入力されてくると、図5の右から2番目の波に基づいて、+7にマッピングされる。以上のような処理によって、図6に示されるアナログ信号が作成される。なお、本実施形態でのアナログ信号の各シンボルの間隔は、40nsであり、当該アナログ信号には

、12.5MHzの周波数成分が固定的に含まれることになる。

#### 【0048】

次に、本実施形態に係るデータ受信装置100について詳しく説明する。当該データ送信装置100は、典型的にはLSIで構成され、伝送路を介して送信されてくる信号からクロックを再生し、当該再生したクロックに基づいて、アナログ信号からデジタルデータを読み出し、接続機器へと出力する。

#### 【0049】

差動レシーバ105は、伝送路から入力する差動信号を電圧信号に変換してADC110に出力する。上述したように、伝送路が有する2本1組の導線に対してプラス側とマイナス側との電気信号が1つのペアとして伝送しているため、差動レシーバ105は、プラス側とマイナス側との差から信号を判断するため、外部からの電氣的影響に対して効力を発揮する。そして、ADC110は、後述する通倍PLL120が出力する400MHzのクロックBにしたがって、差動レシーバ105から出力される電圧信号をデジタル信号に変換する。

#### 【0050】

発振部115は、データ送信装置10とは非同期の25MHzの周波数をもつクロックAを作成し、例えば水晶振動子や水晶発振器により実現される。通倍PLL(Phase Locked Loop)120は、VCOを含み、発振部115から出力されたクロックAから16倍の周波数をもった400MHzのクロックBを作成する。なお、クロックBの周波数は、上述した16倍に限られない。

#### 【0051】

クロック再生部125は、ADC110から出力される伝送路から受信した信号に固定的に含まれる12.5MHzのクロック成分を再生することによって、データ送信装置10のクロック再生を行い、図7に示されるように、バンドパスフィルタ200、ゼロクロス検出部205およびタイミング調節部210を備える。当該クロック再生部125で再生されたクロックは、各構成部のクロックとして用いられる。ここで、当該クロック再生部125の詳細について、図7を用いて説明する。

## 【0052】

バンドパスフィルタ200は、伝送路から受信した信号からクロック成分の周波数の信号を抽出する。なお、本実施形態に係るバンドパスフィルタ200は、各シンボルの間隔が40nsであるので、12.5MHzの周波数の信号を抽出する。

## 【0053】

ゼロクロス検出部205は、バンドパスフィルタ200が抽出したクロック成分のゼロクロスした点を検出する。タイミング調節部210は、ゼロクロス検出部205が検出したゼロクロス点から所定のタイミングを遅らせて、クロックを出力する。なお、本実施形態に係るタイミング調節部210は、後述する判定部135が12.5MHzの周波数の信号のシンボル点に含まれるデジタルデータ値を判定できるように、25MHzの周波数のクロックCを出力する。さらに、当該タイミング調節部210は、P/S変換部140およびFIFO145が25MHzのシリアルデータを処理することができるよう、50MHzの周波数のクロックDを出力する。

## 【0054】

それでは、以下に、当該ゼロクロス検出部205およびタイミング調節部210が行う動作について、図8を参照しながら詳しく説明する。

## 【0055】

まず、バンドパスフィルタ200は、逡倍PLL120から図8の①に示される400MHzのクロックBを受けて動作しており、当該クロックBにしたがって、12.5MHzの周波数の信号のデジタルデータ値を抽出して、図8の②に示されるようなデジタルデータ値をゼロクロス検出部205に対して出力する。

## 【0056】

ゼロクロス検出部205は、逡倍PLL120から図8の①にしめされる400MHzのクロックBを受けて動作しており、当該クロックBにしたがって、バンドパスフィルタ200からの出力信号のゼロクロス点を検出する。ここで、図9を用いて、ゼロクロス検出方法について説明する。図9は、図8のゼロクロス点付近の拡大図である。

## 【0057】

図9に示されるように、バンドパスフィルタ200から出力される信号のデジタルデータ値は、必ずしもゼロの軸上に存在するとは限らない。そこで、このような場合には、ゼロクロス検出部205は、デジタルデータ値の符号を監視し、当該符号が逆転した時における当該デジタルデータ値の絶対値と、当該デジタルデータ値の1クロック前のデジタルデータ値の絶対値とを比較し、絶対値の小さい方のデジタルデータ値のクロックをゼロクロス点とみなす。

## 【0058】

上記のようなゼロクロス検出方法により、ゼロクロス検出部205からは、図8の③に示されるような信号が出力される。

## 【0059】

次に、タイミング調節部210は、ゼロクロス検出部205がゼロクロス点とみなしたクロックから8クロックのタイミングを遅延させて、シンボル点のタイミングを示す25MHzのクロックCを出力する(図8の④)。さらに、当該タイミング調節部210は、ゼロクロス検出部205がゼロクロス点とみなしたクロックから8クロックおよび16クロックのタイミングを遅延させて、50MHzのクロックDを出力する(図8の⑤)。以上で、当該ゼロクロス検出部205およびタイミング調節部210が行う動作についての説明を終了する。

## 【0060】

ここで、再び図2のデータ受信装置100の説明に戻る。デジタルフィルタ130は、ADC110から出力されるデジタル信号のノイズ除去を行う波形整形用のFIRフィルタであり、例えば、シンボルレートの16倍のFIRフィルタが使用される。上述した送信側のデジタルフィルタ25と合わせ、符号間干渉のないロールオフ特性を実現する。

## 【0061】

ここで、デジタルフィルタ130の構成例について図10を参照しながら説明する。図10は、当該デジタルフィルタ130の構成の一例を示した図である。

## 【0062】

当該デジタルフィルタ130は、シフトレジスタ300と、タップ群305と

、乗算器 310<sub>1</sub>~<sub>n</sub>と、加算器 315とを備える。シフトレジスタ 300は、 $n$ 個のタップ 303<sub>1</sub>~<sub>n</sub>を含んでおり、逡倍 PLL 120からの 400MHzの周波数のクロック Bに基づいて、1つのデジタルデータ値を ADC 110から取得し、最も古いデジタルデータ値を一つ破棄する。また、タップ群 305は、 $n$ 個のタップ 307<sub>1</sub>~<sub>n</sub>を含んでおり、クロック再生部 125からの 25MHzの周波数のクロック Cに基づいて、タップ 303<sub>1</sub>~<sub>n</sub>からデジタルデータ値を取得する。ここで、クロック Cは、シンボル点の位置を示すクロックであるので、タップ群 305は、シフトレジスタ 300からシンボル点を中心としたデジタルデータ値を取得することになる。例えば、デジタルフィルタ 130は、ロールオフ率 100%、タップ数 113、およびビット数 10ビットの FIR フィルタである。

#### 【0063】

なお、タップ 303<sub>1</sub>に格納されたデジタルデータ値は、対応するタップ 307<sub>1</sub>が取得する。また、タップ 303<sub>2</sub>に格納されたデジタルデータ値は、対応するタップ 307<sub>2</sub>が取得する。以後、タップ 303<sub>3</sub>以降についても同様のことが言える。

#### 【0064】

乗算器 310<sub>1</sub>~<sub>n</sub>は、タップ 307<sub>1</sub>~<sub>n</sub>から出力されるデジタルデータ値に予め定められた所定の値を乗算する。なお、当該予め定められた所定の値は、例えば、シンボルレートの 2 倍のサンプリング周波数で、ロールオフ率 100%の特性を実現する値である。最後に、加算器 315は、乗算器 310<sub>1</sub>~<sub>n</sub>から出力されるデジタルデータ値を加算する。これにより、加算器 315からは、シンボル点におけるデジタルデータ値が 25MHzの周波数にしたがって出力される。以上でデジタルフィルタ 130の詳細な説明を終了する。

#### 【0065】

判定部 135は、デジタルフィルタ 130から出力されるデジタルデータ値に基づいて、データ送信装置 10が送信したデータを判定する。より具体的には、当該判定部 135は、出力されてくる各シンボルにおけるデジタルデータ値と、当該各シンボルにおけるデジタルデータ値の 1 シンボル前のシンボルにおけるデ

デジタルデータ値との差分値を求め、当該差分値に基づいて、データ送信装置 10 が送信しているパラレルデータを取得する。それでは、図 11 および図 12 を用いて、当該判定部 135 が行う判定処理について詳しく説明する。図 11 は、判定部 135 が、デジタルデータ値の判定を行うときに用いる判定レベルを示した図である。図 12 は、判定部 135 が判定した判定レベルをデータ送信装置 10 が送信したデータに変換するためのテーブルである。

#### 【0066】

まず、判定部 135 は、デジタルフィルタ 130 から 1 シンボル分のデジタルデータ値を取得する。次に、判定部 135 は、取得したデジタルデータ値の 1 シンボル前のデジタルデータ値を確認する。そして、当該判定部 135 は、取得したデジタルデータ値から 1 シンボル前のデジタルデータ値を引き算する。なお、本実施形態では、各デジタルデータ値は、+7、+5、+3、+1、-1、-3、-5 または -7 のいずれかの値を取るので、判定部 135 が引き算によって求めた値（以下、信号レベルと称す）は、+14、+12、+8、+6、+4、+2、-2、-4、-6、-8、-10、-12 または -14 のいずれかの値を取る。

#### 【0067】

ここで、判定部 135 には、図 11 に示されるように、信号レベルの判定レベルが設定されている。各判定レベルは、一定の幅を有しており、いずれのレベルの幅に属するかで、信号レベルが判定される。当該判定部 135 は、引き算によって求めた信号レベルを当該図 11 に示される判定レベルを用いて決定する。そして、判定部 135 は、図 12 に示されるテーブルに基づいて、決定した信号レベルをデータ送信装置 10 が送信したパラレルデータに変換する。なお、図 12 に示されるテーブルは、図 3 に示される  $B(k)$  から  $B(k-1)$  を引き算した値と、パラレルデータとの関係を示した表である。

#### 【0068】

P/S 変換部 140 は、判定部 135 で判定されたパラレルデータをシリアルデジタルデータに変換して、FIFO 145 に出力する。

#### 【0069】

受信側 PLL150 は、25MHz のクロック C に基づいて、ジッタの少ない 50MHz のクロック E を作成して、FIFO145 に出力する。

#### 【0070】

FIFO145 は、クロック D に基づいて、P/S 変換部 140 からシリアルデータが書きこまれ、受信側 PLL150 からのジッタの少ないクロック E に基づいてシリアルデータを接続機器へと出力する。これは、データ受信装置 100 がデータ送信装置 10 とは非同期のクロックで動作し、図 9 に示されるように、ゼロクロス点のクロックにゼロに最も近いクロックが選ばれるという本実施形態に係るデータ受信装置 100 の性質上、シンボル間のクロック数が常に 16 にならずに、±1 個程度のジッタが時折発生し得るから行われる処理である。すなわち、受信側 PLL150 が、FIFO145 への書き込み用のクロック周波数と同じ周波数でジッタの少ないクロック読み出しを行うことで、ジッタの少ないシリアルデータを接続機器に出力することになる。

#### 【0071】

以上のように構成されたデータ伝送システムについて、以下に動作を説明する。なお、本実施形態で示す各処理は、コンピュータを用いてソフトウェア的に実現するか、あるいはそれら各処理を行う専用のハードウェア回路を用いて実現することができる。

#### 【0072】

それでは、本実施形態に係るデータ伝送システムが行う動作について図面を参照しながら説明する。図 13 は、データ受信装置 100 のクロック再生部 125 が行う動作を示したフローチャートである。なお、以下、データ装置装置 10 からは、図 6 に示されるような電気信号が送信されてくるものとし、当該データ送信装置 10 が行う動作については省略する。

#### 【0073】

まず、差動レシーバ 105 は、データ送信装置 10 から伝送路を介して送信されてきた図 6 に示されるような電気信号を受信する。一方、発振部 115 は、データ送信装置 10 とは非同期の 25MHz の周波数のクロック A を作成し、通倍 PLL120 に出力している。通倍 PLL120 は、取得したクロック A を 40

0MHzのクロック信号Bにして、ADC110、デジタルフィルタ130およびクロック再生部125に出力する。

#### 【0074】

ADC110は、通倍PLL120から出力されてくるクロックBにしたがって、差動レシーバ105から出力されてくる信号をデジタル信号に変換し、デジタルフィルタ130およびクロック再生部125に対して出力する。

#### 【0075】

ADC110からクロック再生部125に対して出力されたデジタル信号は、複数の周波数を含んでいる。そこで、バンドパスフィルタ200は、受信信号に含まれる12.5MHzの周波数の信号を抽出する（ステップS100）。なお、当該バンドパスフィルタ200は、上記12.5MHzの周波数の信号を抽出する際に、通倍PLL120から出力されてくるクロックBに基づいて、抽出処理を行う。これにより、当該バンドパスフィルタ200からは、図8の②に示されるようなデータ値を含んだ信号が出力される。

#### 【0076】

次に、ゼロクロス検出部205は、出力されてきた信号の各データ値を参照して、ゼロクロス点を検出する。それでは、当該ゼロクロス検出部205が行う動作について図面を参照しながら説明する。図14は、このときに当該ゼロクロス検出部205が行う動作を示したフローチャートである。

#### 【0077】

まず、ゼロクロス検出部205は、バンドパスフィルタ200から出力されてくるデジタルデータ値を取得する（ステップS200）。

#### 【0078】

次に、ゼロクロス検出部205は、取得したデジタルデータ値が正であるか負であるかを認識する（ステップS210）。デジタルデータ値の正負を認識したゼロクロス検出部205は、取得したデジタルデータ値の前のクロックで取得したデジタルデータ値からみて、当該取得したデジタルデータ値の正負が入れ替わったか否かを判定する（ステップS210）。正負が入れ替わった場合には、本処理はステップS210に進む。一方、正負が入れ替わっていない場合には、本



処理は終了する。この場合、当該ゼロクロス検出部 205 は、次のデジタルデータ値を取得し、同様の処理を行う。

#### 【0079】

正負が入れ替わった場合、ゼロクロス検出部 205 は、当該前のクロックで取得したデジタルデータ値の絶対値と、当該今回のクロックで取得したデータ値の絶対値とを計算する（ステップ S 215）。そして、当該ゼロクロス検出部 205 は、前のクロックで取得したデジタルデータ値の絶対値が、当該今回のクロックで取得したデジタルデータ値の絶対値よりも大きいかな否かを判定する（ステップ S 220）。前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、本処理はステップ S 225 に進む。一方、前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、本処理はステップ S 230 に進む。

#### 【0080】

前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、ゼロクロス検出部 205 は、今回のクロックで取得したデジタルデータ値の方がゼロクロス点に近いと判断し、当該今回のクロックで取得したデジタルデータ値のタイミングをゼロクロス点とみなす（ステップ S 225）。この後、本処理は終了し、当該ゼロクロス点は、次のデジタルデータ値を取得して上記処理と同様の処理を行う。

#### 【0081】

前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、ゼロクロス検出部 205 は、前のクロックで取得したデジタルデータ値の方がゼロクロス点に近いと判断し、当該前のクロックで取得したデジタルデータ値のタイミングをゼロクロス点とみなす（ステップ S 230）。この後、本処理は終了し、当該ゼロクロス点は、次のデジタルデータ値を取得して上記処理と同様の処理を行う。以上で、ゼロクロス検出部 205 が行う動作の説明を終了する。

#### 【0082】

上記ゼロクロス検出部 205 の動作により、当該ゼロクロス検出部 205 からは、図 8 の③に示されるような 25 MHz のクロックが出力される。応じて、タイミング調節部 210 は、ゼロクロス検出部 205 から出力されるクロックを取

得する。

#### 【0083】

タイミング調節部210は、取得したクロックから8クロック分の時間だけ遅延させて、図8の④に示される25MHzのクロックCを、デジタルフィルタ130、判定部135および受信側PLL150に対して出力する。さらに、当該タイミング調節部210は、取得したクロックから8クロック分の時間だけ遅延させたクロックと、16クロック分の時間だけ遅延させたクロックとを合成して、図8の⑤に示される50MHzのクロックDを作成して、P/S変換部140およびFIFO145に対して出力する。

#### 【0084】

次に、受信側PLL150は、クロック再生部125から出力される25MHzのクロックCに基づいて、ジッタを含まない50MHzのクロックDを作成してFIFO145に出力する。

#### 【0085】

一方、デジタルフィルタ130は、ADC110から400MHzのクロックBにしたがって出力されてくるデジタルデータ値の内、シンボル点に該当するデジタルデータ値のみを、クロック再生部125から出力される25MHzのクロックCにしたがってサンプリングして、判定部135に対して出力する。

#### 【0086】

判定部135は、デジタルフィルタ130から出力されてくるシンボル点のデジタルデータ値に基づいて、判定処理を行い、2ビットの平行データとして、P/S変換部140に出力する。

#### 【0087】

P/S変換部140は、クロック再生部125から出力されてくる50MHzのクロックDにしたがって、取得した平行データをシリアルデジタルデータに変換して、FIFO145に出力する。

#### 【0088】

次に、FIFO145は、クロック再生部125から出力されてくる50MHzのクロックDにしたがって、P/S変換部140から出力されるシリアルデ

デジタルデータを記憶していく。そして、FIFO145は、受信側PLL150から出力される50MHzのクロックEに基づいて、接続機器に対して、シリアルデジタルデータを出力していく。これにより、データ受信装置100に接続された接続機器は、データ送信装置10の接続機器から出力されたデジタルデータを取得することができる。

#### 【0089】

以上のように、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置100によれば、発振部115が発振する信号の周波数を細かくコントロールする必要がないので、容易にデータ送信装置100とクロック同期をとることができると共に、通倍PLL120に安価なVCOを適用することができるので、当該シンボル位置検出装置およびデータ受信装置100を安価に作成することが可能となる。

#### 【0090】

また、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置100によれば、受信側PLL150が作成したジッタのないクロックに基づいて、FIFO145から接続機器に対してデータが出力される。その結果、接続機器は、エラーの少ないデータを取得することが可能となる。

#### 【0091】

なお、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置100では、通信プロトコルとしてMOSTが適用されているとしたが、当該通信プロトコルはMOSTに限られない。

#### 【0092】

なお、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置100では、デジタルフィルタ130として図10に示されるようなデジタルフィルタが適用されているが、当該デジタルフィルタ130はこれに限られない。より具体的には、図15に示されるようなデジタルフィルタ131であってもよい。それでは、以下に、図15に示されるデジタルフィルタ131について説明する。

#### 【0093】

当該デジタルフィルタ131は、シフトレジスタ300、加算器 $304_{n/2}$ 、

タップ群 306、乗算器  $311_1 \sim n/2$  および加算器 315 を備える。また、シフトレジスタ 300 は、図 10 のシフトレジスタ 300 と同様に  $n$  個のタップ 303<sub>1</sub> ~  $n$  を含む。また、タップ群 306 は、図 10 のタップ群 305 と異なり、 $n/2$  個のタップ 308<sub>1</sub> ~  $n/2$  を含む。

#### 【0094】

ここで、図 15 に示されるデジタルフィルタ 131 が上記のような構成をとる理由について説明する。図 10 に示されるデジタルフィルタ 131 の乗算器  $310_1 \sim n$  で掛け算される値は、 $310_{n/2}$  を中心に対称な値となっている。

#### 【0095】

そこで、図 15 に示されるデジタルフィルタ 131 では、同じ値を掛け算するデータのタップ 303 をそれぞれ組にして、まず、加算器 304 で足し合わせる。そして、加算器 304 は、足し合わせたデータをタップ群 306 に出力する。

#### 【0096】

その後、乗算器  $311_1 \sim n/2$  は、タップ群 306 から出力されてくるデータに、図 10 の乗算器  $310_1 \sim n/2$  が掛け算する値と同じ値を掛け算する。次に、加算器 315 は、乗算器  $310_1 \sim n/2$  から出力されるデータを足し算する。これにより、当該図 15 のデジタルフィルタ 131 は、図 10 のデジタルフィルタ 130 と同様の出力結果を得ることができる。

#### 【0097】

当該図 15 に示されるデジタルフィルタ 131 によれば、タップ群 306 のタップ数および乗算器 310 を図 10 のデジタルフィルタ 130 の半分にすることができる。

#### 【0098】

なお、本実施形態に係るデータ受信装置 100 において、図 16 に示されるような構成を取ることとも可能である。図 16 に示されるデータ受信装置 101 は、図 2 に示されるデータ受信装置 100 のデジタルフィルタ 130 と判定部 135 の間にゲイン調節部 500 が設けられているものである。当該ゲイン調節部 500 は、乗算器により実現され、温度等の変化による振幅変化を補正する役割を果たす。

## 【0099】

なお、本実施形態で使用されているクロックの周波数および受信信号に固定的に含まれる信号の周波数は、一例であり、使用されるクロックの周波数および受信信号に固定的に含まれる信号の周波数はこれに限られない。

## 【図面の簡単な説明】

## 【図1】

本発明の一実施形態に係るデータ送信装置10の構成を示したブロック図である。

## 【図2】

本発明の一実施形態に係るデータ受信装置100の構成を示したブロック図である。

## 【図3】

パラレルデータと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表である。

## 【図4】

マッピング部20でマッピングされたデジタルデータがDAC30でアナログ信号に変換された波形を示した図である。

## 【図5】

マッピング部20でマッピングされたデジタルデータがDAC30でアナログ信号に変換された波形を示した図である。

## 【図6】

DAC30から出力されるアナログ信号の一例を示した図である。

## 【図7】

本発明の一実施形態に係るクロック再生部125の詳細な構成を示したブロック図である。

## 【図8】

データ受信装置100の各構成部から出力される信号の様子を示した図である。

。

**【図 9】**

ゼロクロス点およびシンボル点が検出される様子を示した図である。

**【図 10】**

本発明の一実施形態に係るデジタルフィルタ 130 の構成の一例を示したブロック図である。

**【図 11】**

本発明の一実施形態に係る判定部 135 が信号レベルの判定時に用いる、判定レベルの一例を示した図である。

**【図 12】**

判定部 135 が判定した判定レベルをデータ送信装置 10 が送信したデータに変換するためのテーブルである。

**【図 13】**

データ受信装置 100 のクロック再生部 125 が行う動作を示したフローチャートである。

**【図 14】**

ゼロクロス検出部 205 が行う動作を示したフローチャートである。

**【図 15】**

本発明の一実施形態に係るデジタルフィルタ 130 の構成のその他の一例を示したブロック図である。

**【図 16】**

本発明の一実施形態に係るデータ受信装置 100 の構成のその他の一例を示したブロック図である。

**【図 17】**

従来のデータ受信装置の構成を示したブロック図である。

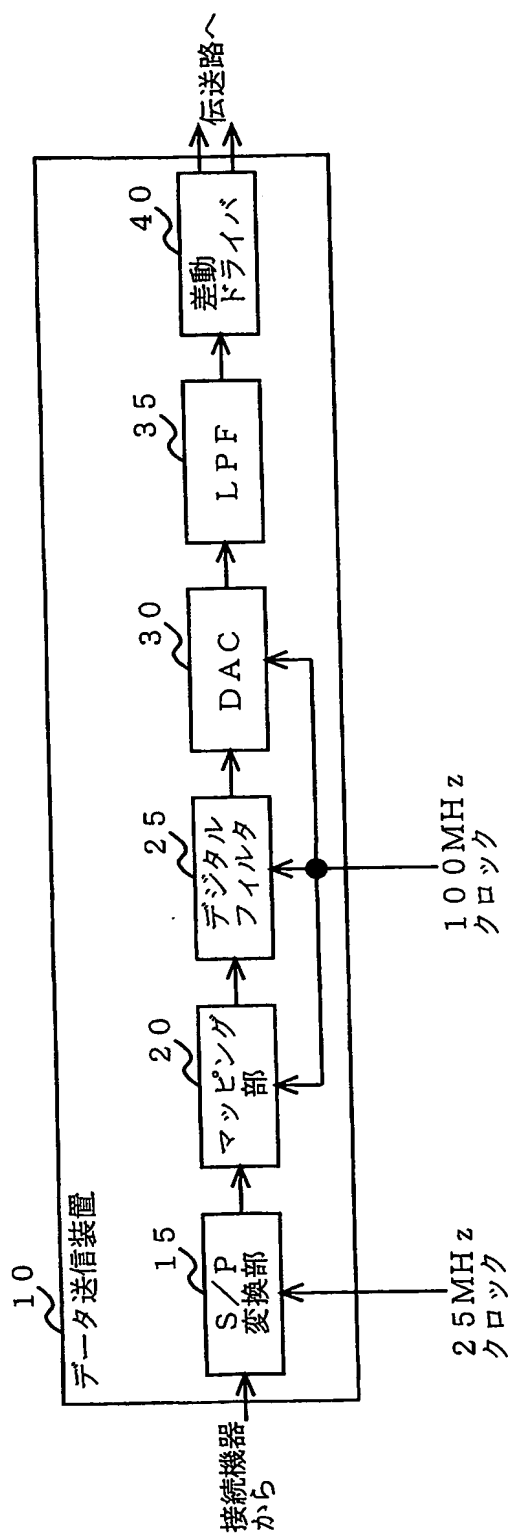
**【符号の説明】**

- 10 データ送信装置
- 15 S/P 変換部
- 20 マッピング部
- 25 デジタルフィルタ

30 DAC  
35 LPF  
40 差動ドライバ  
100, 101 データ受信装置  
105 差動レシーバ  
110 ADC  
115 発振部  
120 通倍PLL  
125 クロック再生部  
130, 131 デジタルフィルタ  
135 判定部  
140 P/S変換部  
145 FIFO  
150 受信側PLL  
200 バンドパスフィルタ  
205 ゼロクロス検出部  
210 タイミング調節部  
300 シフトレジスタ  
303, 307, 308 タップ  
305, 306 タップ群  
310, 311 乗算器  
304, 315 加算器  
500 ゲイン調節部

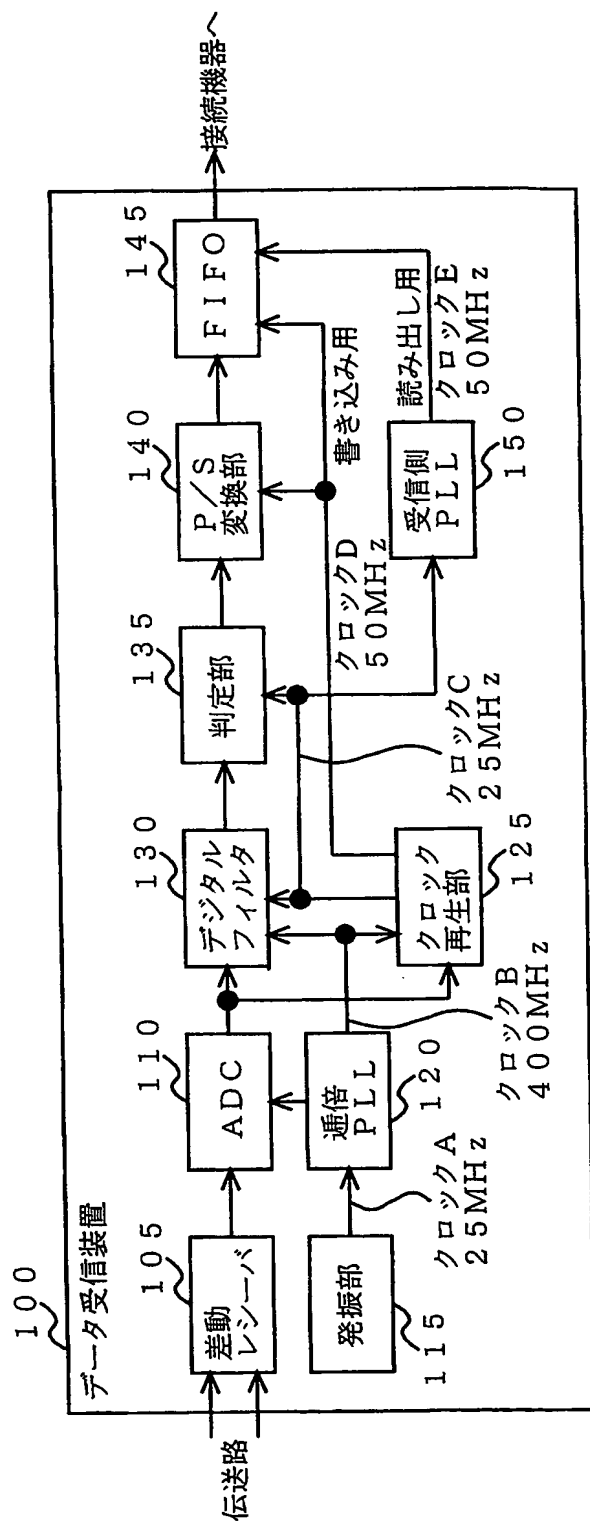
【書類名】 図面

【図 1】





【図2】



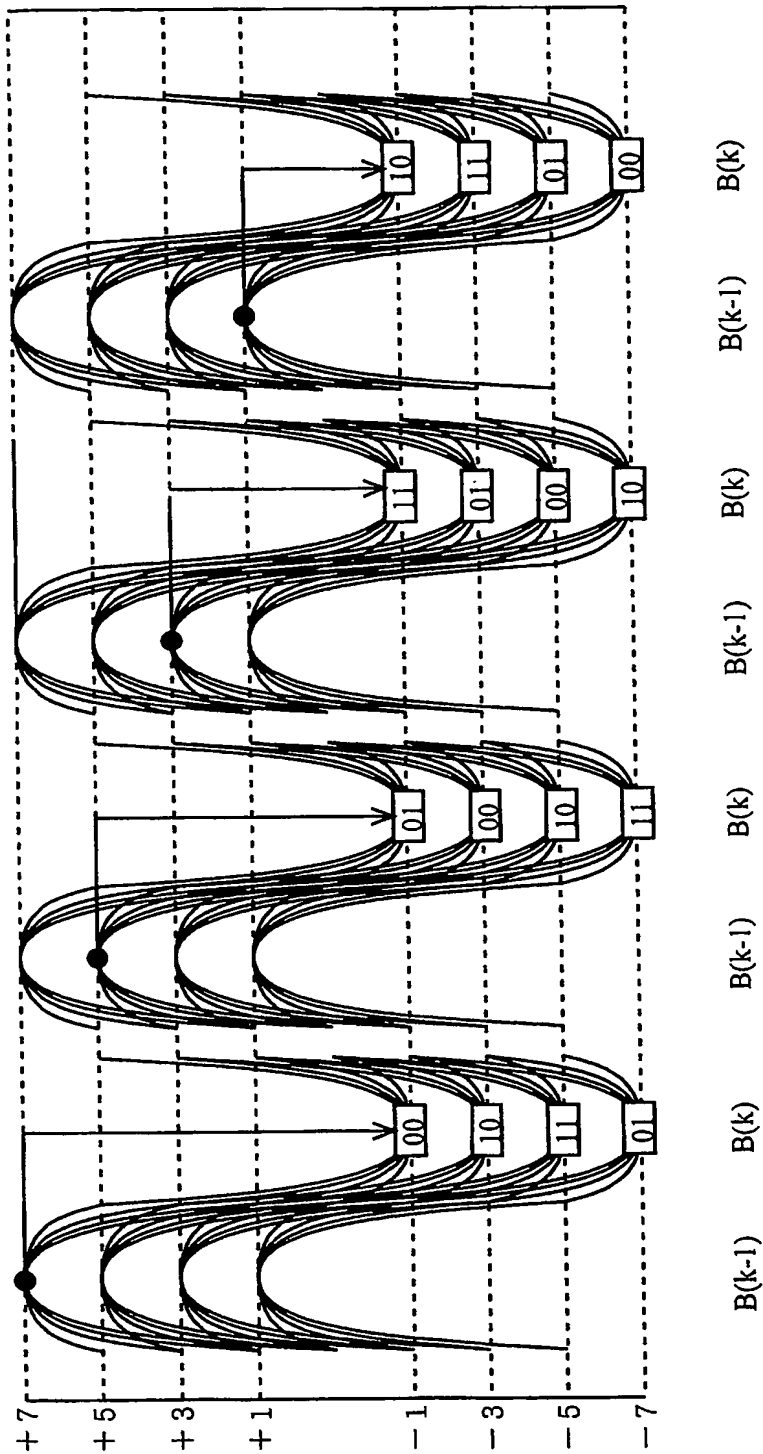
【図3】

パラレルデータ

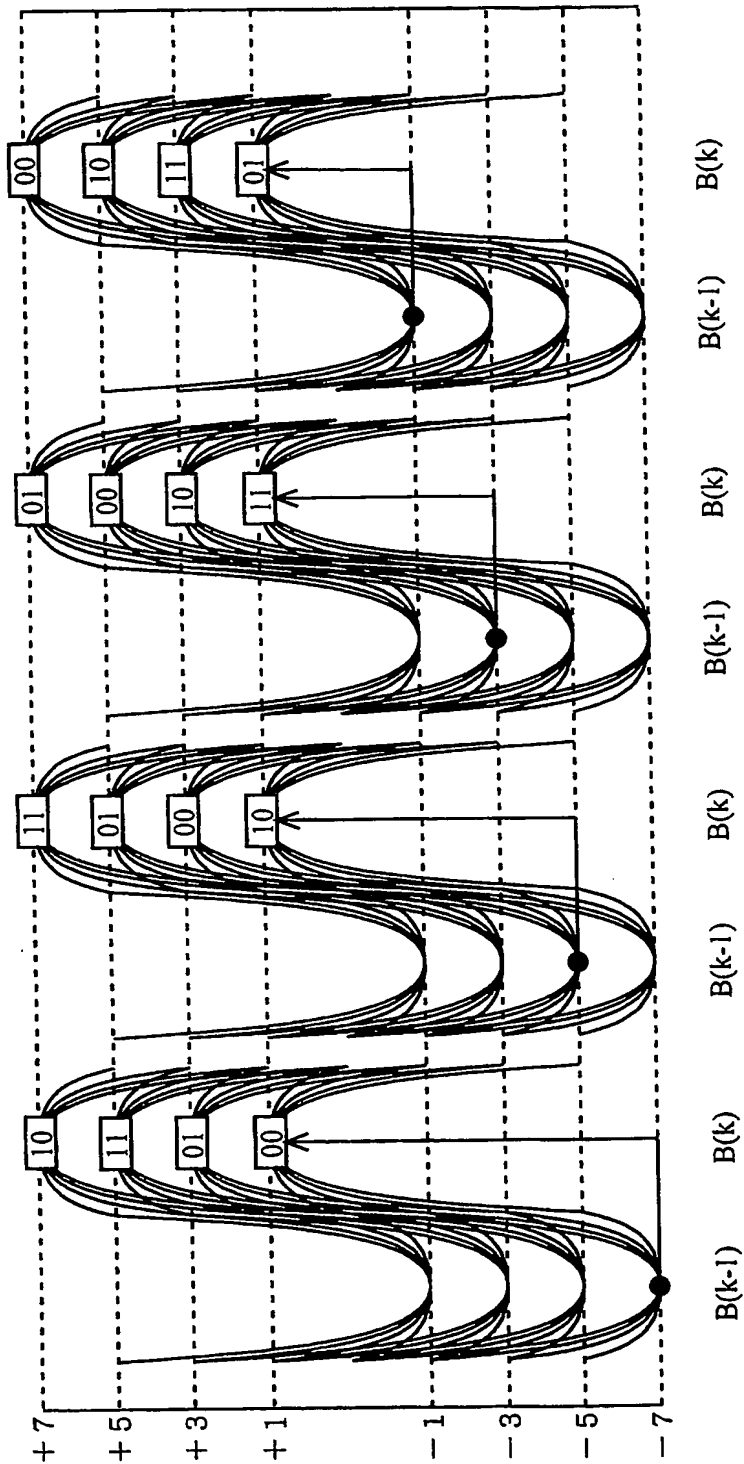
B(k)		+7	+5	+3	+1	-1	-3	-5	-7
B(k-1)						00	10	11	01
+7						01	00	10	11
+5						11	01	00	10
+3						10	11	01	00
+1									
-1		00	10	11	01				
-3		01	00	10	11				
-5		11	01	00	10				
-7		10	11	01	00				

パラレルデータ

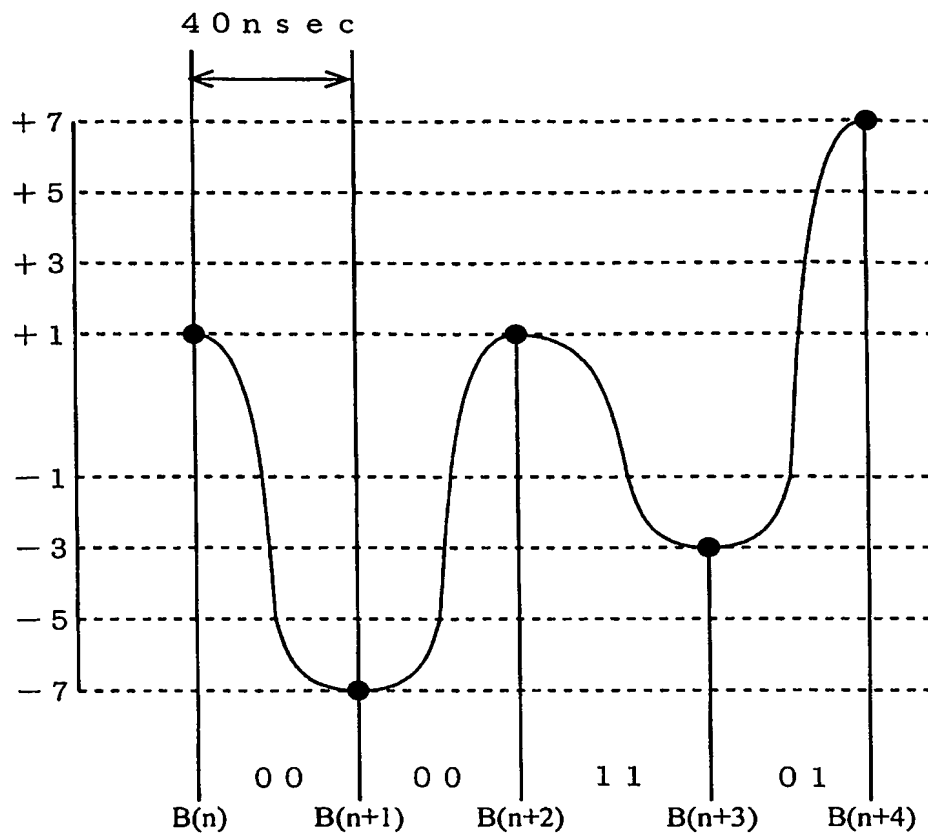
【図 4】



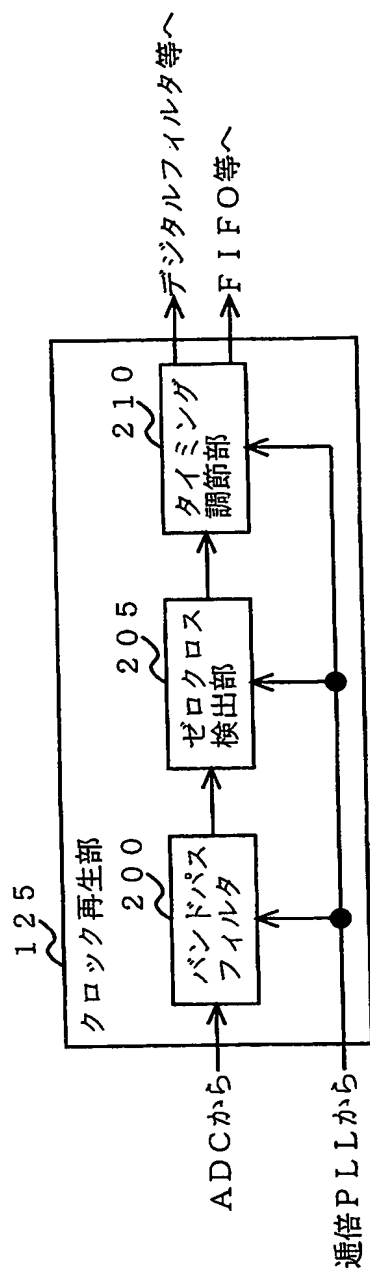
【図 5】



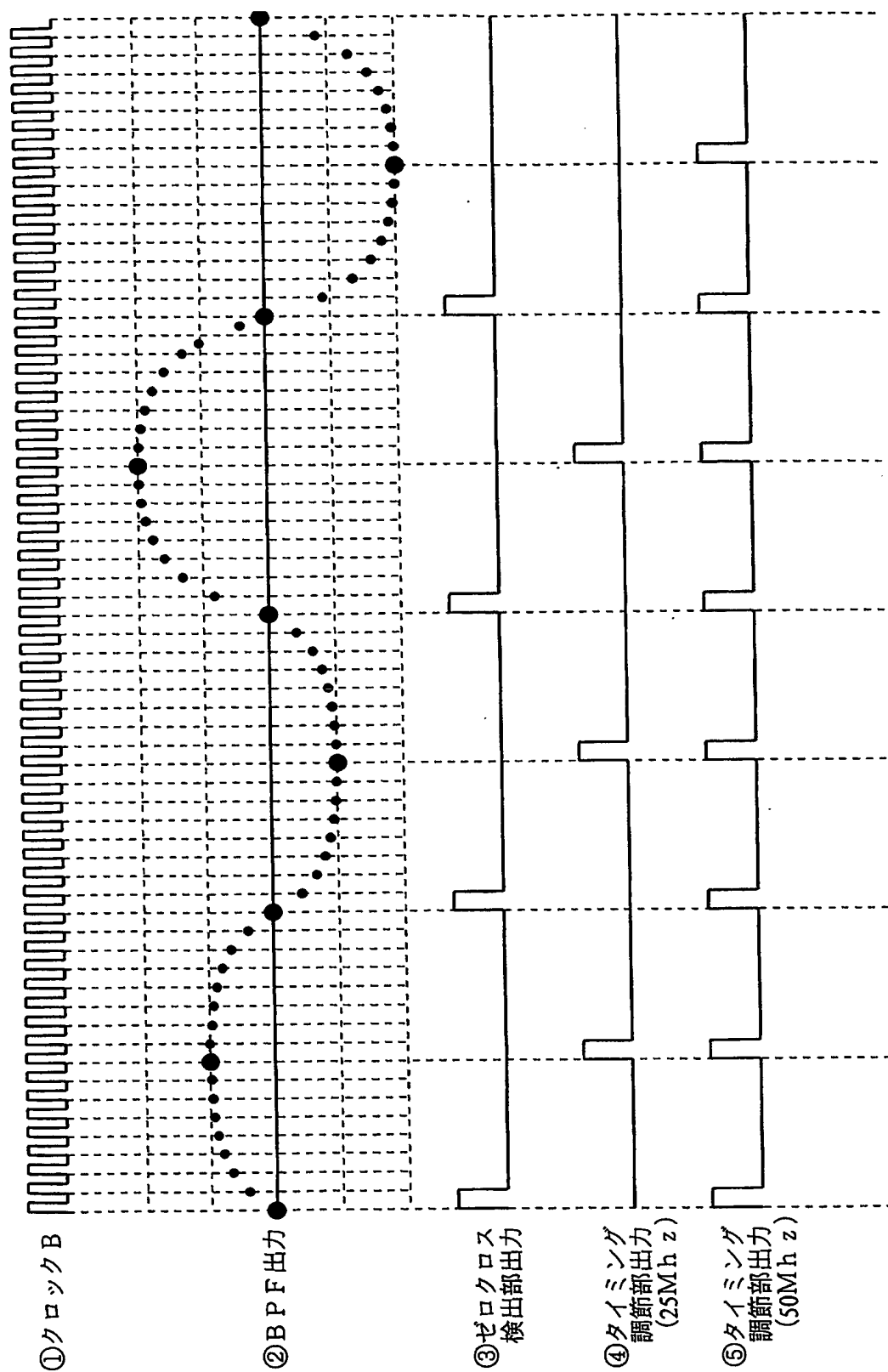
【図 6】



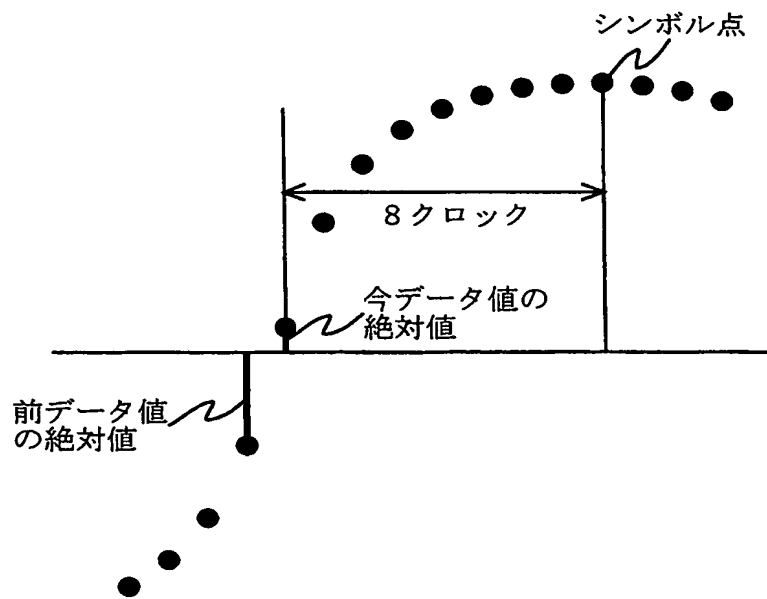
【図 7】



【図8】

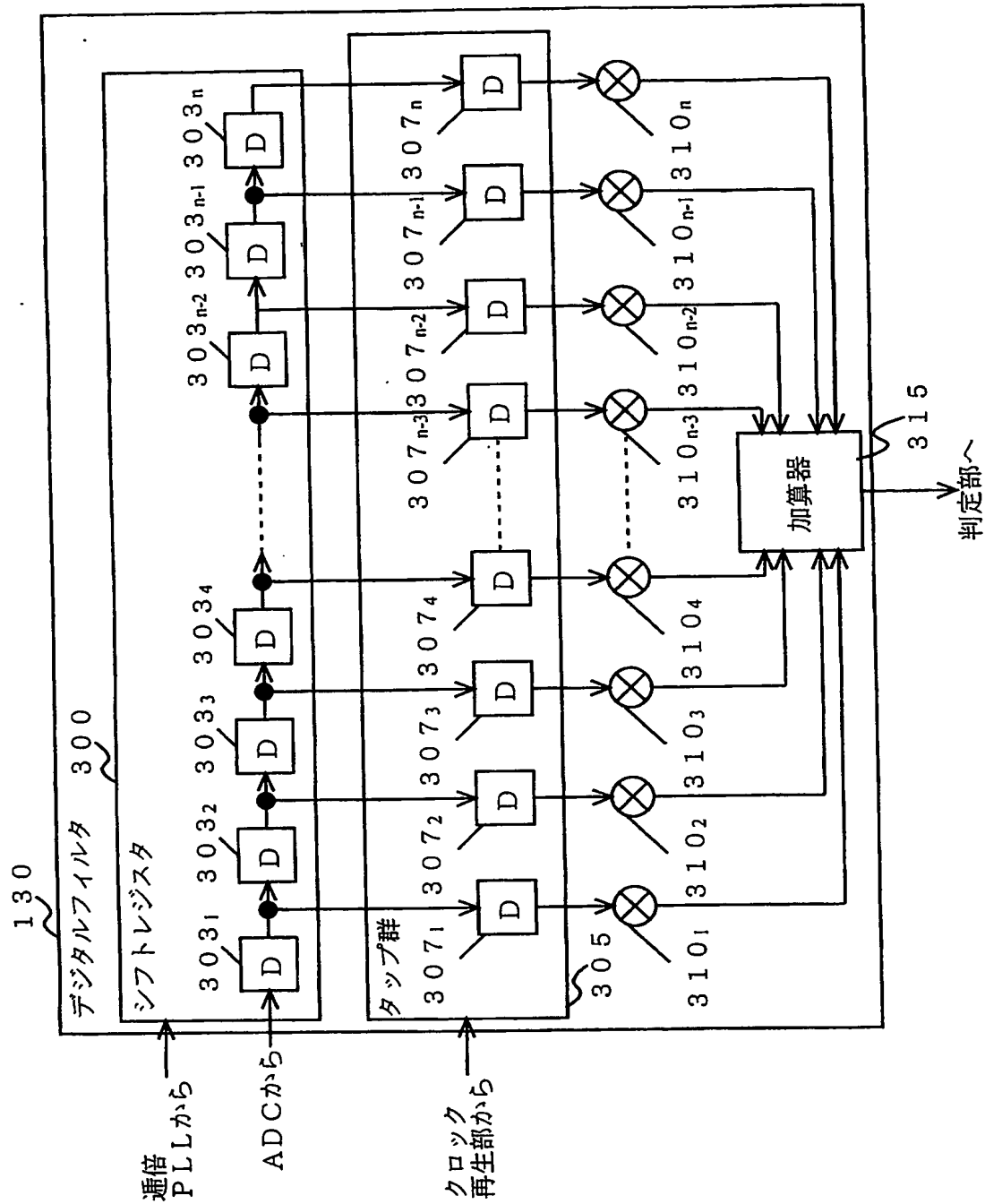


【図 9】

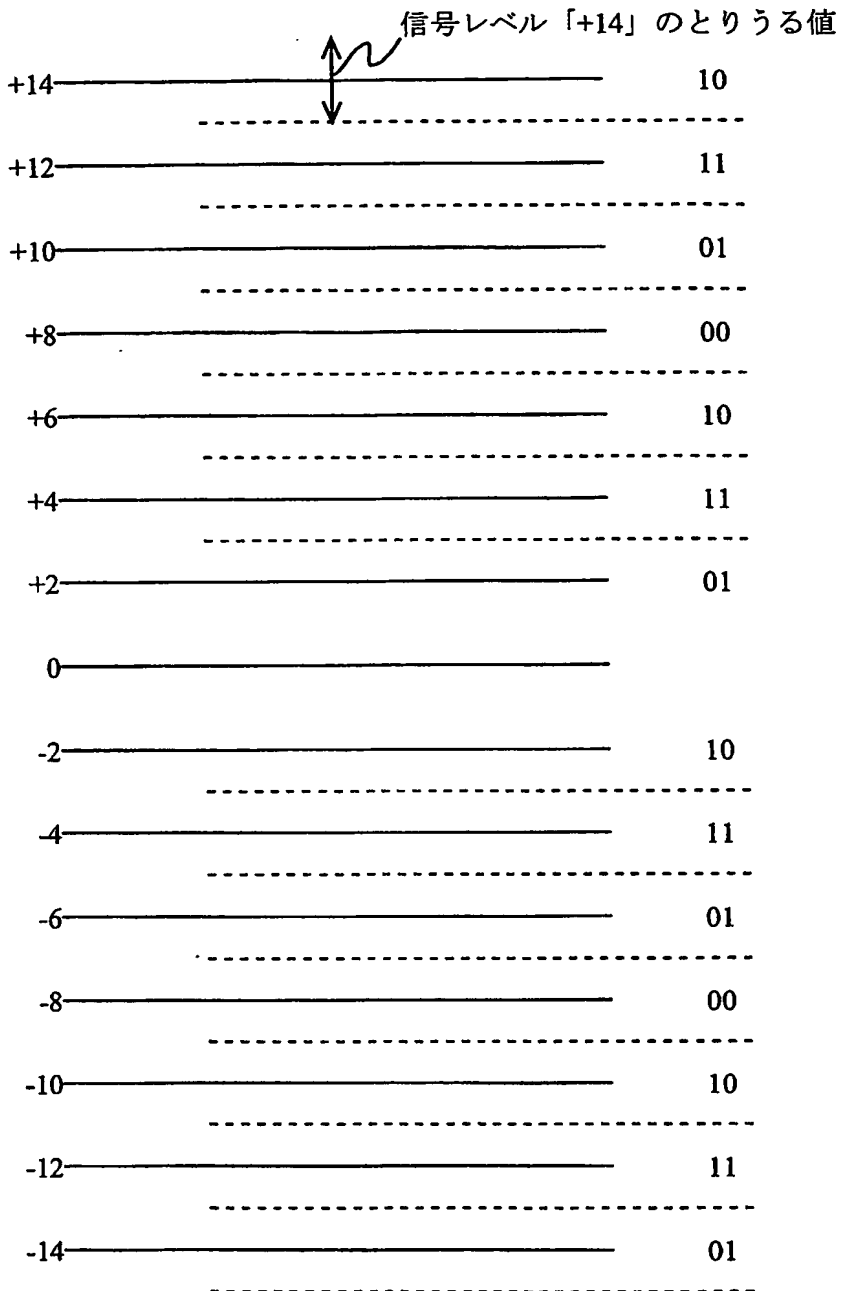




【図10】



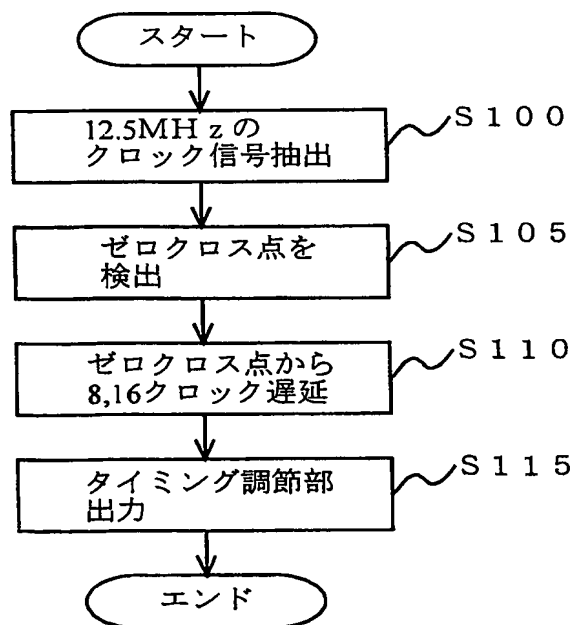
【図 11】



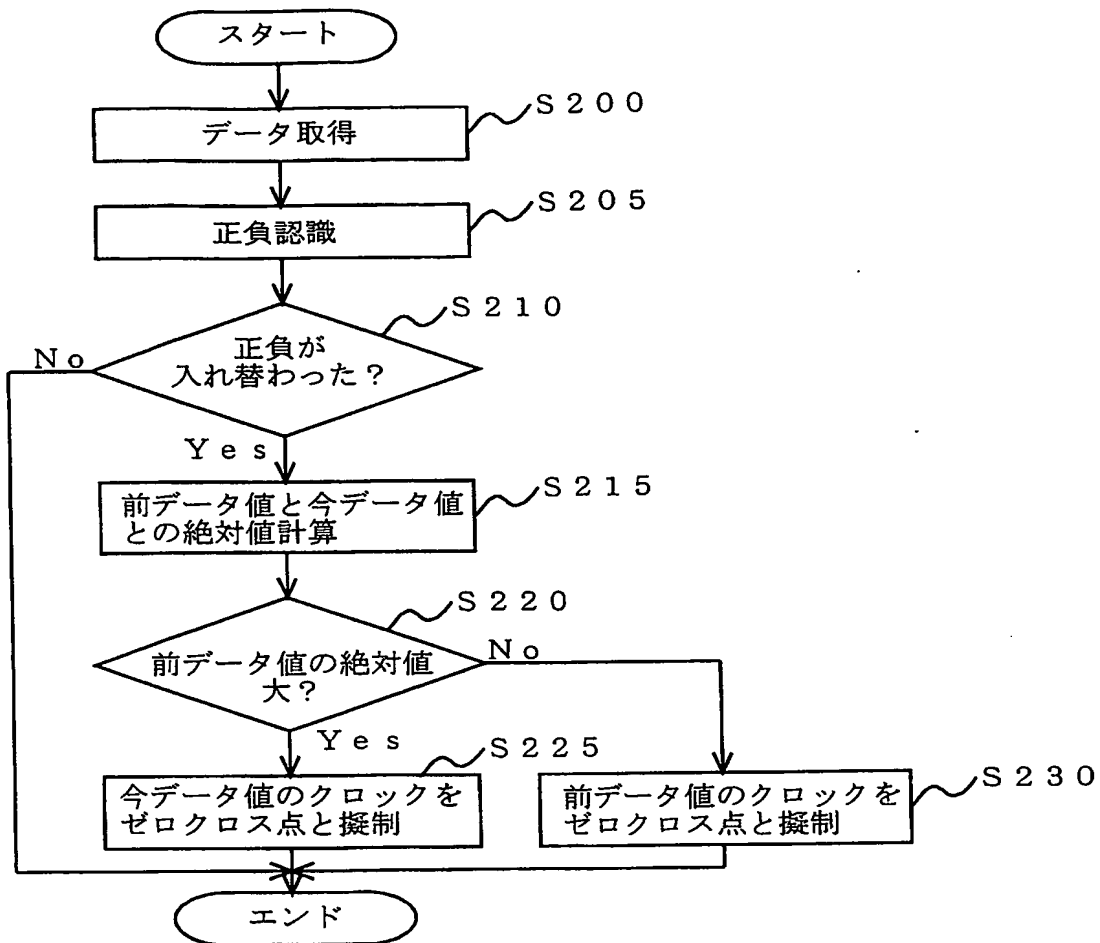
【図 12】

データ	$B(k) - B(k-1)$
00	+8 -8
01	+10 +2 -6 -14
10	+14 +6 -2 -10
11	+12 +4 -4 -12

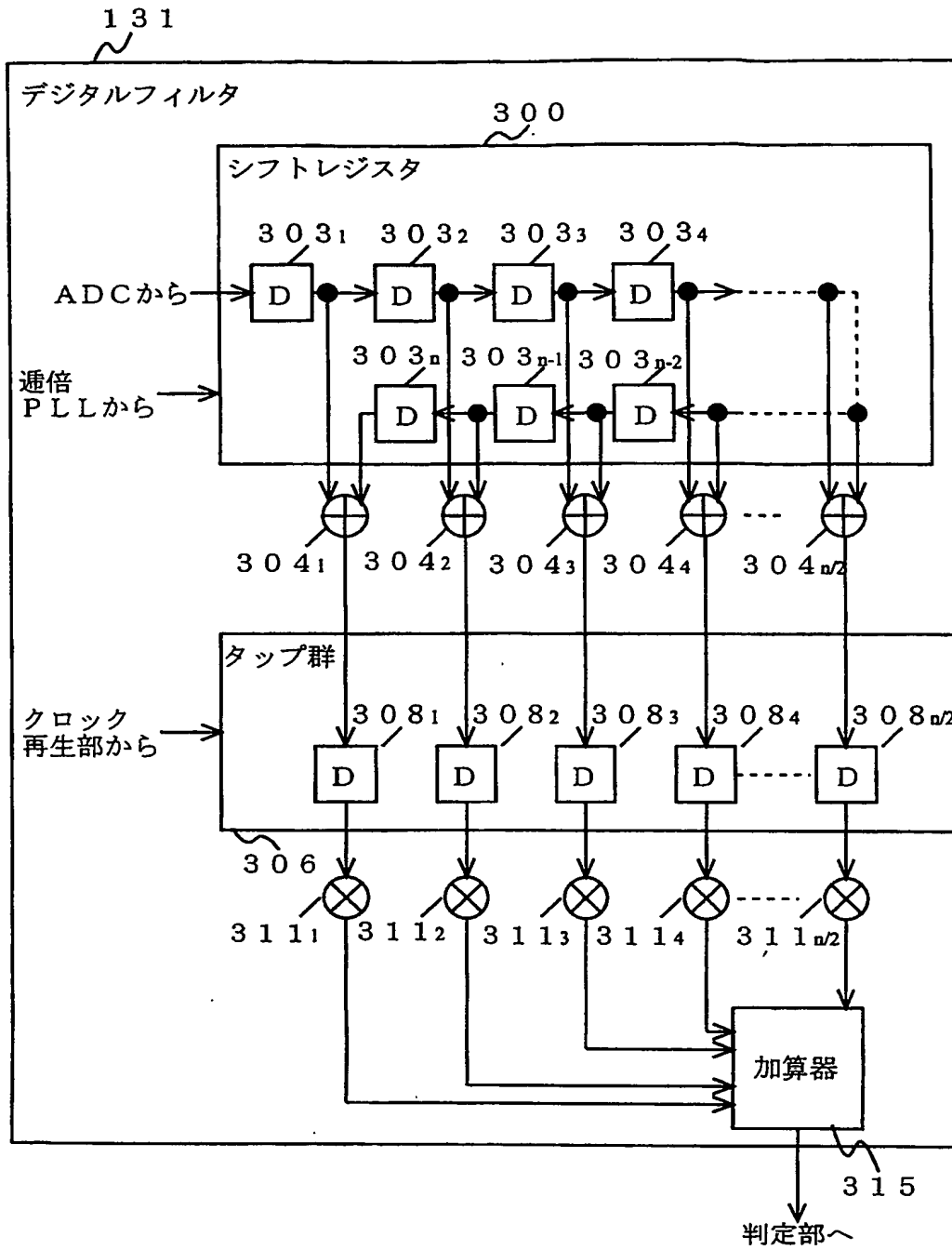
【図 13】



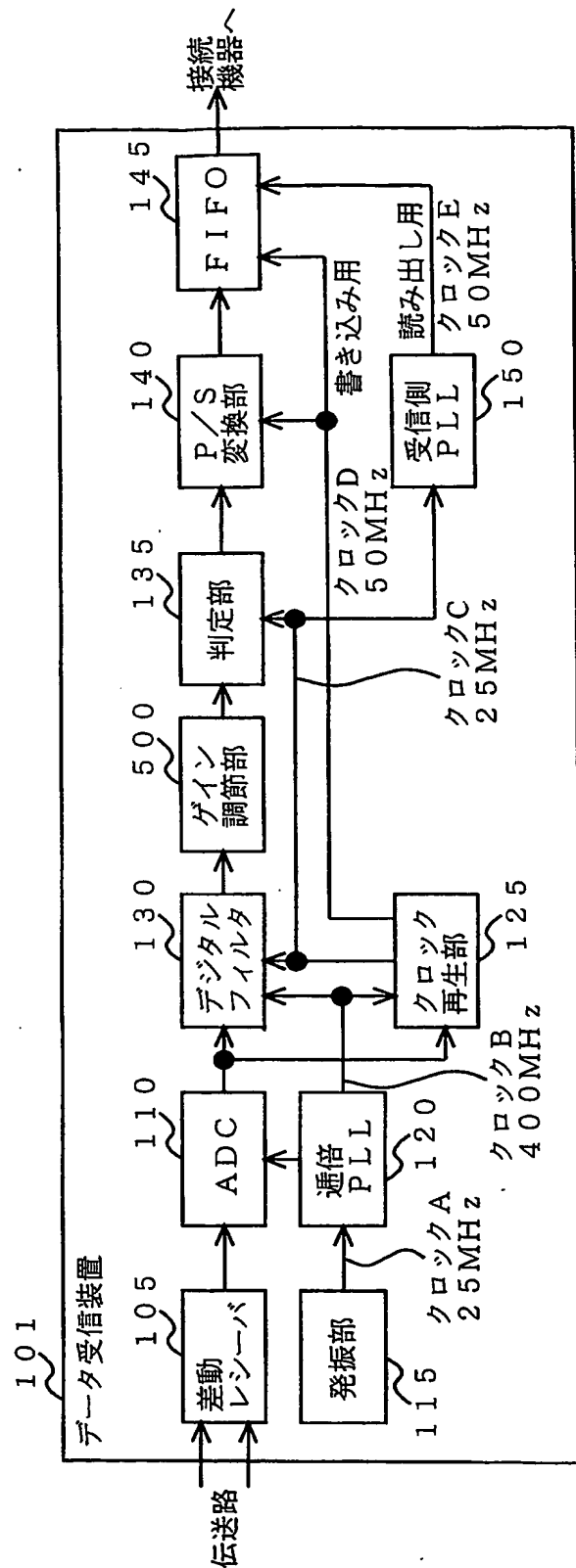
【図14】



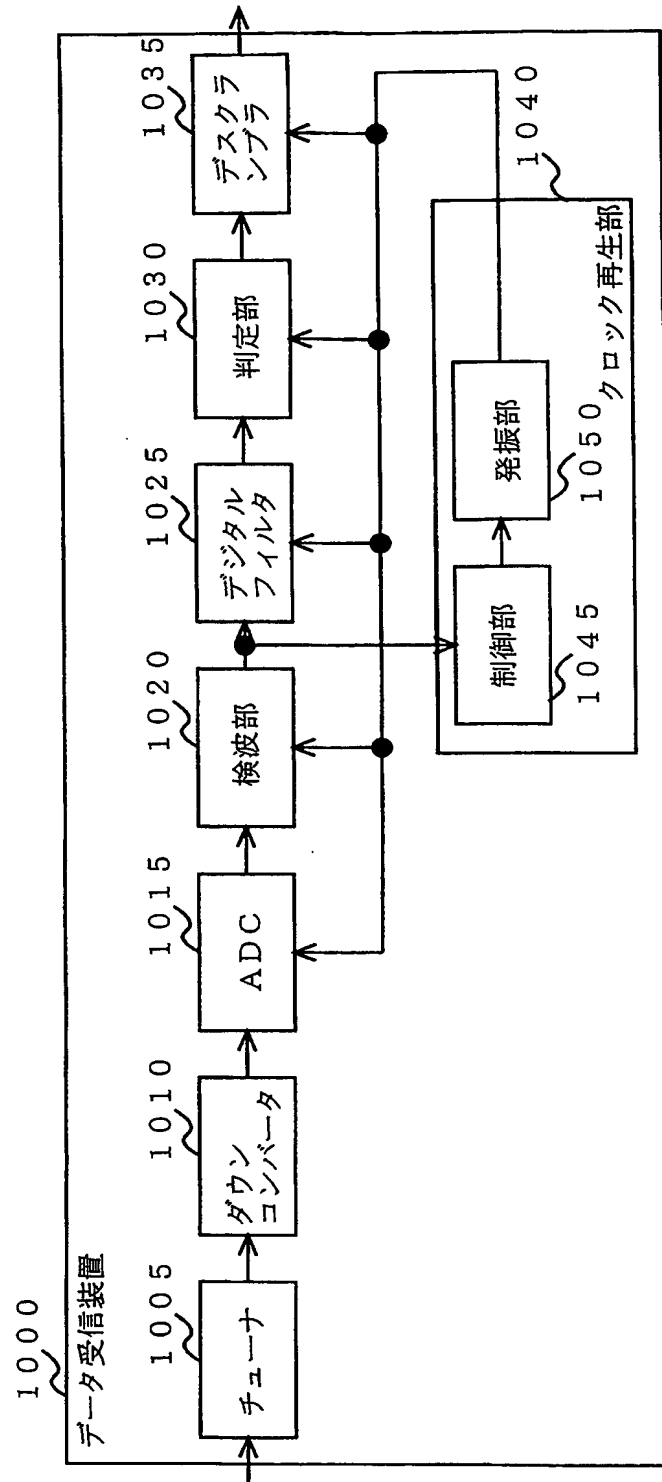
【図15】



【図16】



【図 17】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、容易にデータ送信装置とクロック同期を取ることができると共に、安価に製造可能なデータ受信装置に含まれるシンボル位置検出装置を提供する。

【解決手段】 データ受信装置には、12.5MHzの周波数を持ち、データが含まれた信号が送信されてくる。当該データ受信装置は、図8の①の400MHzの周波数を持ったクロックBを作成して、当該クロックBに基づいて、上記12.5MHzの信号をサンプリングする（図8の②）。そして、データ受信装置は、サンプリングしたデータのゼロクロス点を検出し、ゼロクロス点を示す25MHzの周波数のクロック信号を作成する（図8の③）。次に、データ受信装置は、当該作成したクロック信号を8クロック分の時間遅延することにより、シンボル点を示す25MHzの信号を作成する（図8の④）。これにより、シンボル点の検出が可能となる。

【選択図】 図8



認定・付加情報

特許出願の番号	特願2002-381104
受付番号	50201989588
書類名	特許願
担当官	第八担当上席 0097
作成日	平成15年 1月 6日

<認定情報・付加情報>

【提出日】	平成14年12月27日
-------	-------------

次頁無

特願 2 0 0 2 - 3 8 1 1 0 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社